

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
30. Mai 2002 (30.05.2002)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 02/43147 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 23/58**,  
27/02

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-  
Martin-Strasse 53, 81669 München (DE).

(21) Internationales Aktenzeichen: PCT/DE01/04198

(22) Internationales Anmeldedatum:  
8. November 2001 (08.11.2001)

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **JANKE, Marcus**  
[DE/DE]; Spitzingplatz 3, 81539 München (DE).

(25) Einreichungssprache: Deutsch

(74) Anwalt: **EPPING HERMANN & FISCHER**; Ridler-  
strasse 55, 80339 München (DE).

(26) Veröffentlichungssprache: Deutsch

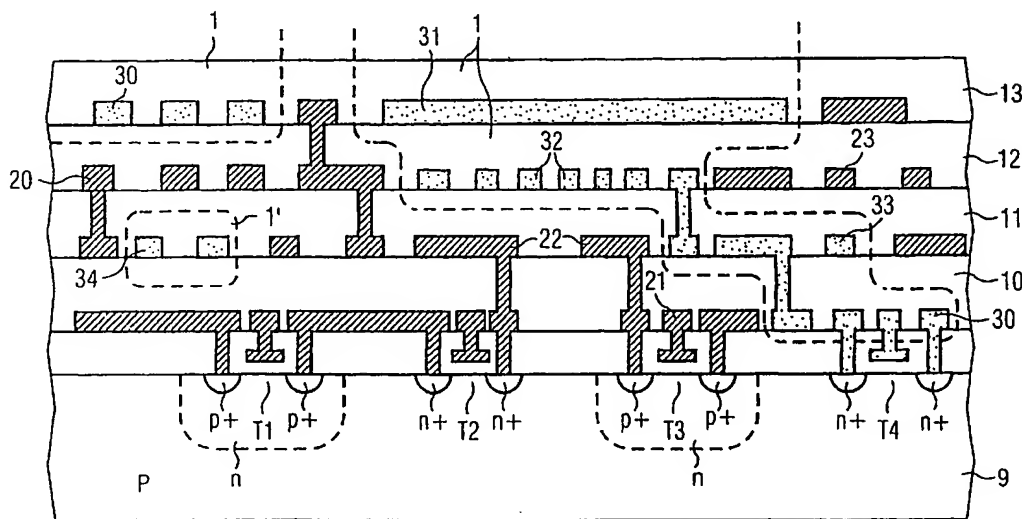
(30) Angaben zur Priorität:  
100 58 078.5 23. November 2000 (23.11.2000) DE

(81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP,  
KR, MX, RU, UA, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: INTEGRATED CIRCUIT CONFIGURATION THAT IS PROTECTED AGAINST ANALYSIS, AND METHOD FOR  
PRODUCING THE CONFIGURATION

(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG MIT ANALYSIERSCHUTZ UND VERFAHREN ZUR HER-  
STELLUNG DER ANORDNUNG



(57) Abstract: When drawing up wiring diagrams of logic modules, the regions (1), which are located in the upper metal levels (10-13) and which are left open by synthesis methods of conductor tracks (20), are filled to a maximum extent with conductor tracks (30) that serve to protect the integrated circuit. These conductor tracks are provided as sensor conductor tracks (31-33) according to availability of components (T4) for controlling or evaluating, or are provided as connection-free conductor tracks (34) merely for confusing potential attackers.

(57) Zusammenfassung: Bei der Erstellung von Verdrahtungsplänen von Logikbausteinen werden die durch Syntheseverfahren von Leiterbahnen (20) freigelassenen Bereiche (1) in oberen Metallebenen (10-13) bis zu einem maximalen Grad mit dem Schutz der integrierten Schaltung dienenden Leiterbahnen (30) aufgefüllt. Diese werden je nach Verfügbarkeit von Bauelementen (T4) zur Ansteuerung oder Auswertung als Sensor-Leiterbahnen (31-33) oder auch nur zur Verwirrung potentieller Abgreifer als anschlussfreie Leiterbahnen (34) ausgeführt.

WO 02/43147 A1



(84) **Bestimmungsstaaten** (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

## Beschreibung

Integrierte Schaltungsanordnung mit Analysierschutz und Verfahren zur Herstellung der Anordnung

5

Die vorliegende Erfindung betrifft eine integrierte Schaltungsanordnung mit einem Substrat, das Schaltungselemente aufweist, und einer Verdrahtungsebene mit ersten Leitungsbahnen, sowie ein Verfahren zur Herstellung der integrierten Schaltungsanordnung.

10

Bei integrierten Schaltungen, besonders bei deren Einsatz in Chipkarten, ist es für einen potentiellen Angreifer möglich, eine Analyse der integrierten Schaltung, dem sogenannten "Reverse Engineering", durchzuführen, und mit den erhaltenen Informationen entweder die Funktionsweise der Schaltung zu verändern oder eine Datenmanipulation in deren Speicher durchzuführen. Dieses Verfahren kann besonders bei sicherheitsrelevanten Schaltungen, etwa mit Geldkarten- oder Zutrittsberechtigungsfunktionen, zu unerwünschten Folgen führen. Typischerweise wird bei dieser Analyse das den Chip bedeckende Material sowie ein Teil der die Verdrahtung des Chips schützenden obere Schichten entfernt. Bei den dann freiliegenden oberen Leiterbahnen handelt es sich meistens um nicht sicherheitsrelevante Leitungen, welche durch sogenannte Bypass-Leitungen umgeleitet werden können, um weiter zu tieferen Schichten und Leitungen zu gelangen. Mit einigem Aufwand können diese Schritte heute mit der "FIB-Methode" ("Focussed-Ion-Beam") durchgeführt werden. Sobald tieferliegende, sicherheitsrelevante und damit kritische Leitungen erreicht sind, können an diesen entweder Signale und Pulse abgegriffen werden (sog. "Probing"), oder es können diese Leitungen mit Signalen beaufschlagt werden, um Daten zu manipulieren (sog. "Forcing").

35

Es war daher in der Vergangenheit das Ziel, die Analyse und Manipulation der integrierten Schaltungen zu verhindern oder wenigstens zu erschweren, welches einerseits durch eine ver-

steckte Strukturierung der kritischen Leitungen im Verdrahtungsplan zu lösen versucht wurde, und welches andererseits durch Aufbringen einer dedizierten, abdeckenden Schutzebene über den relevanten Verdrahtungsebenen angegangen wurde. Bei diesen Schutzebenen, englisch: "Shields", werden bekannterma-

5       ßen mäander- oder gitterförmige Leitungen z.B. in Paaren in der Schutzebene realisiert, bei deren Unterbrechung oder Kurzschluß für den Fall, daß verschiedene Spannungen anliegen, der detektierende Sensor ein Löschen des Speichers, einen Reset oder die Funktionsuntüchtigkeit anderer Schaltungs-

10       teile veranlaßt. Eine Ausführung dieser „passiv“ genannten Leitungen als unangeschlossene, spannungslose Leitungen ist ebenfalls möglich. Sie dienen in diesem Fall lediglich noch zu einer Erhöhung des Aufwandes beim Angriff bzw. zur Verwir-

15       rung.

Die Sicherheit der Bausteine läßt sich noch erhöhen, indem die beschriebenen passiven Leitungen durch sogenannte aktive Leitungen beim Design des Verdrahtungsplanes ersetzt werden.

20       Bei diesen werden die Leitungen des Shields durch Ansteuer-schaltungen mit Signalen beaufschlagt, welche von Auswerteschaltungen analysiert und z.B. mit Referenzsignalen verglichen werden. Wegen der möglichen Variation der Signale kann dabei das Shield nur durch das sehr aufwendige Verlegen einer

25       Bypassleitung durch die FIB-Methode umgangen werden.

Während integrierte Schaltungen konventioneller Logikbausteine mit im wesentlichen manuell gesteuerten Design (Full-Custom-Design) erstellt werden, ist die manuelle Bearbeitung

30       bzw. Beeinflussung bei der sich heute immer stärker durchsetzenden synthetisierten Logik nur mit höherem Aufwand möglich. Bei diesem Verfahren werden Funktionen und Beziehungen von Objekten in einer höheren Programmiersprache, z.B. VHDL, formuliert und durch ein Kompilierungsprogramm in einen fertigen

35       Verdrahtungsplan übersetzt. Da sich die Schutzeigenschaften der Shield-Leitungen aus von der eigentlichen Schaltung unabhängigen Funktionen sowie ihrer räumlichen Lage ergeben, die-

se aber beim Syntheseverfahren nicht a priori feststehen können, kann bei dieser Methode leider nur im nachhinein der Verdrahtungsplan manuell mit Aufwand um Schutzebenen ergänzt werden, welches im Kontrast zu dem gewünschten Effizienz- und  
5 Zeitvorteil bei der Erstellung der integrierten Schaltung steht.

Dabei können gerade die mit einem Syntheseverfahren erstellten integrierten Schaltungen besonders angreifbar sein, denn  
10 die meiste Verdrahtung erfolgt in den tieferen Schichten, während in den oberen Schichten der Füllgrad mit Leitungen immer geringer wird. Dadurch ist es dem potentiellen Angreifer möglich, ohne auf in oberen Verdrahtungsebenen liegende Leitungen zu stoßen, z.B. vom Spitzenmeßplatz aus mit Nadeln  
15 direkt zu den tiefliegenden, sicherheitsrelevanten, kritischen Leitungen zu gelangen.

Es ist die Aufgabe der vorliegenden Erfindung, eine integrierte Schaltungsanordnung und ein Verfahren zur Herstellung  
20 einer solchen vorzusehen, welche einen hohen Schutz gegen von außen angreifende Analyseverfahren bei niedrigem Aufwand und geringen Kosten bietet, besonders für den Fall, daß der Verdrahtungsplan in einem Syntheseverfahren erstellt wurde.

25 Die Aufgabe wird erfindungsgemäß durch die Maßnahmen der Patentansprüche 1 und 6 gelöst.

Ein Chipstapel, bei welchem durch Leiterbahnen die Analyse verhindert werden soll, ist aus der WO 00/67319 A1 bekannt.

30 Gemäß der vorliegenden Erfindung wird eine integrierte Schaltungsanordnung vorgeschlagen, bei welcher durch Auffüllen der von den die bestimmungsgemäße Funktion der integrierten Schaltung unterstützenden Leiterbahnen freigelassenen Bereiche  
35 mit den zum Schutz der integrierten Schaltung dienenden Leiterbahnen für jede Ebene ein maximaler Füllgrad an Leiterbahnen ermöglicht wird. Zum einen erhöht sich dadurch für den

potentiellen Angreifer beim Reverse Engineering die Anzahl der zu untersuchenden Leiterbahnen je Verdrahtungsebene, zum anderen ist es für den potentiellen Angreifer nicht von vornherein feststellbar, welche Leiterbahnen in der Verdrahtungsebene zur eigentlichen integrierten Schaltung und welche nur zum Schutz dieser Schaltung dienen. Somit entsteht der Vorteil, daß die Auffüllung und die gemeinsame Positionierung der beiden Zuordnungen von Leiterbahnen in einer Verdrahtungsebene zu einem beträchtlich höheren Aufwand beim Reverse Engineering führen.

Die erfindungsgemäße integrierte Schaltungsanordnung kann Substrate mit aktiven Schaltungselementen als auch solche z.B. als sog. Flip-Chips verwendete integrierte Schaltungsanordnungen ohne aktive Schaltungselemente umfassen, wobei letzere gewöhnlich umgedreht mit der strukturierten Seite wiederum auf die Strukturseite eines aktive Schaltungselemente umfassenden Substrates geklebt werden. Diese ergeben gemeinsam wieder genau eine erfindungsgemäße Schaltungsanordnung.

Es sei ausdrücklich darauf hingewiesen, daß in diesem Dokument gemäß der vorliegenden Erfindung der Begriff Schaltungselemente auch Leiterbahnen umfaßt. So kann die erfindungsgemäße integrierte Schaltungsanordnung auch Anwendung in den genannten, z.B. lediglich Leiterbahnen umfassenden Flip-Chips finden, welche dementsprechend als erweiterter Schutz für einen aktive Schaltungselemente umfassenden Chip dienen können.

Besonders vorteilhaft erweist sich das Verfahren zur Herstellung der Anordnung gemäß der vorliegenden Erfindung für in Syntheseverfahren erstellte integrierte Schaltungen. Möglicherweise nicht im Syntheseverfahren durch Leiterbahnen in oberen Verdrahtungsebenen überdeckte und damit frei- und tieferliegende kritische Leiterbahnen können gemäß der vorliegenden Erfindung durch Auffüllen der gerade über der betroffenen Leiterbahn liegenden freigelassenen Bereiche mit den zum Schutz der integrierten Schaltung dienenden Leiterbahnen

nach Beendigung des Syntheseverfahrens abgedeckt werden. Eine denkbare Anwendung der vorliegenden Erfindung vor oder während des Syntheseverfahrens ist durch diese Lehre allerdings auch zu berücksichtigen. Vorzugsweise werden die Anordnungen und das Verfahren gemäß der vorliegenden Erfindung durch ein Füllprogramm realisiert, welches sich idealerweise an das Syntheseverfahren anschließt. Neben dem Geschwindigkeitsvorteil bietet sich dadurch die Möglichkeit, daß durch Schaffung einer neuen Bausteinversion mit Veränderungen im Verdrahtungsplan der integrierten Schaltung ebenfalls ein völlig neuer Verdrahtungsplan der Schutzleitungen erstellt wird. Somit betrifft die Analyse zum Reverse Engineering nicht nur die Untersuchung kleiner Veränderungen von einer Bausteinversion zur nächsten, sondern es muß die Analyse mit hohem Aufwand völlig neu durchgeführt werden.

Da in der vorliegenden integrierten Schaltungsanordnung keine dedizierte Ebene für Schutzleiterbahnen vorzusehen ist, weil sich die entsprechenden Leiterbahnen in den bereits verdrahteten Ebenen befinden, entstehen keine zusätzlichen Kosten für den Aufbau von Metallebenen. Dieser wirtschaftliche Vorteil kann hingegen auch bei im Full-Custom-Design erstellten integrierten Schaltungen gewonnen werden, wenn die entsprechenden Schutzleiterbahnen in freigelassene Bereiche der manuell zusammengestellten Bibliotheksmodule bzw. Leiter- und Versorgungsbahnen hineingefüllt bzw. -platziert werden unter Verzicht auf die hierbei üblicherweise verwendete dedizierte Schutzebene.

Ein weiterer Aspekt stellt die mögliche Mehrlagigkeit von Bereichen mit Leiterbahnen zum Schutz der integrierten Schaltung dar. Neben der durch die Mehrschichtigkeit gegebenen Erhöhung des Aufwandes lassen sich dadurch verschiedene Schutzmechanismen kombinieren, wie etwa kapazitive Sensorleitungen in einer ersten Ebene und mit Komparatoren versehene Signal- und Sensorleitungen in einer zweiten Ebene, welche das auf-

einanderfolgende Entfernen von Ebenen und Untersuchen von Leiterbahnen auf vorteilhafte Weise erheblich erschweren.

Weitere vorteilhafte Ausgestaltungen ergeben sich aus den untergeordneten Patentansprüchen.

Die Erfindung wird im folgenden anhand eines Ausführungsbeispiels näher erläutert. Dabei zeigt:

- 10    Figur 1    zeigt einen Querschnitt durch eine beispielhafte, in einem Syntheseverfahren erstellte Schaltungsanordnung mit Transistoren und Leiterbahnen in vier Metallebenen (a) vor, d.h. nach dem Stand der Technik, und (b) nach dem Auffüllen, d.h. nach Anwendung des erfindungsgemäßen Verfahrens zur Herstellung der Schaltungsanordnung.

In Figur 1a ist ein mit einem Syntheseverfahren erstellter Verdrahtungsplan einer integrierten Schaltungsanordnung nach dem Stand der Technik gezeigt. Im dargestellten Querschnitt der beispielhaften Anordnung sind auf dem Substrat 9 drei Transistoren T1, T2 und T3 dargestellt, wovon die Transistoren T1, T2 gerade einen CMOS-Inverter darstellen. In einer auf dem Substrat liegenden Isolierschicht 91 befinden sich die entsprechenden Gateelektroden G1 - G3 sowie Metallkontakte zu den Sourcebereichen S1 - S3 und Drainbereichen D1 - D3 der drei Transistoren. Auf dieser Schicht befindet sich die erste Metallebene 10 mit aufliegender Isolationsschicht mit den der Verdrahtung der Bauelemente dienenden Leiterbahnen 20. Bedingt durch Kreuzungen der Leiterbahnen 20 müssen diese auch auf höherliegende, untereinander durch Isolationsschichten getrennte Metallebenen 11, 12 und 13 ausweichen, wobei im allgemeinen besonders Versorgungsleitungen in die obersten Metallagen gelegt werden. Der die Beziehungen und Funktionsweisen der jeweiligen Bauelemente widerspiegelnde VHDL-Programmcode wird durch ein Kompilierprogramm übersetzt, wobei ein optimierter, z.B. möglichst kurze Verdrahtungswege



angebender Verdrahtungsplan entsteht. Dadurch wird die unterste Metallage 10 am stärksten mit Leiterbahnen belegt, während dieser Füllgrad zu oberen Metallagen hin stärker abnimmt. Auf diese Weise entstehen im Verdrahtungsplan sich zu höheren Metallagen hin aufweitende von Leiterbahnen freigelassene Bereiche 1, 1', wobei aber auch die durch das Kompilierprogramm nicht weiter genutzten, freigelassenen Bereiche 1' entstehen können, welche von Leiterbahnen umschlossen sind.

10

Gemäß dieser Schaltungsanordnung wäre es für einen potentiellen Angreifer zum Zwecke des Angriffs nach Abtragen der Isolationsschichten zwischen den Metallagen 10 - 13 möglich zu den in der ersten Metallage 10 liegenden sicherheitsrelevanten Leiterbahnen 21 des Transistors T3 oder den noch in der zweiten Metallage 11 liegenden Leiterbahnen 22 der Transistoren T2, T3 z.B. mit Nadeln zu gelangen, um hier das Probing oder Forcing durchzuführen.

20

Gemäß dem der vorliegenden Erfindung zugrundeliegenden Verfahren zur Herstellung der integrierten Schaltungsanordnung werden die z.B. im Syntheseverfahren von Leiterbahnen freigelassenen Bereiche 1 mit weiteren, dem Schutz der integrierten Schaltung dienenden Leiterbahnen 30 aufgefüllt. Dies kann manuell erfolgen, sollte aber idealerweise durch ein rechen-technisches Füllprogramm realisiert werden, welches die freigelassenen Bereiche detektiert und mit Leiterbahnen unter Einhaltung vorzugebender Schutzfunktionen auffüllt. Möglicherweise noch freie Bereiche auf dem Substrat können dabei für die Bauelemente der Sensorleitungen genutzt werden, wie der in Figur 1b gezeigte Transistor T4. Die als Sensorleitungen dienenden Leiterbahnen 30 füllen dabei die freigelassenen Bereiche 1 möglichst dicht auf, um allein schon durch ihre Position den Zugang durch Nadeln von einem Spitzenmeßplatz aus oder durch die FIB-Methode zu den kritischen Leiterbahnen 21, 22 zu behindern. Durch Beaufschlagung der Leiterbahnen 30 mit Signalen durch die z.B. Transistoren T4 beinhaltenden

30

35

Auswerte- bzw. Ansteuervorrichtungen kann mittels eines Vergleiches mit einem Referenzsignal die Unversehrtheit der Leiterbahnen 30 gegenüber Kurzschluß oder Umleitung überprüft werden. Bei Ungleichheit der Signale wird durch die Auswertevorrichtung z.B. ein Reset oder ein Löschen des Speichers der integrierten Schaltung veranlaßt.

Der potentielle Angriff wird besonders erschwert durch eine gitter- oder mäanderförmige Ausformung der Leiterbahnen 31, 32. Wird dabei die Ausrichtung der Leiterbahnen 31 in der Metallebene 13 senkrecht zu den in der darunterliegenden Metallebene 12 positionierten Leiterbahnen 32 gewählt, so wird es für den potentiellen Angreifer besonders schwierig zu den darunterliegenden Leitungen zu gelangen, da in diesem Falle durch das Ausheben des Loches, mit dem die Nadel, oder der FIB an die Leiterbahn 22 gelangen soll, sehr viele darüberliegende Leiterbahnen 31 der Metallebene 13 und Leiterbahnen 32 der Metallebene 12 unterbrochen werden müssen, welche dann vom potentiellen Angreifer jeweils einzeln zu untersuchen bzw. umzuleiten sind.

Ein weiterer Vorteil bietet sich durch die Überprüfung in oberen Metallagen liegender Leiterbahnen der integrierten Schaltung mittels darunterliegender zum Schutz dienender Leiterbahnen an. In Figur 1b ist dies durch die Leiterbahn 23 der Metallebene 12 dargestellt, unterhalb welcher die Leiterbahn 33 auf weitestgehender Länge parallel verläuft. Durch die Detektion der Unterbrechung der Leiterbahn 33 kann dabei nämlich sofort auf die gleichzeitige Unterbrechung der Leiterbahn 23 oder einen Angriff auf diese geschlossen werden, wodurch mittels der Auswertelogik eine Änderung des Betriebsmodus der integrierten Schaltung veranlaßt werden kann.

Auch für den Fall, daß freigelassene Bereiche 1' nicht durch Ansteuer- bzw. Auswertevorrichtungen erreicht werden können, bietet sich die Möglichkeit, nur zur Verwirrung dienende anschlußfreie Leiterbahnen 34 vorzusehen. Desweiteren wird

durch das Auffüllen mit Leiterbahnen der im allgemeinen durchgeführte Schritt des Einfügens einer Metallfläche zur Stabilisierung von Schichtoberflächen überflüssig. Somit wird bei keinem oder nur geringem Mehraufwand die Sicherheit des

5 Bausteins vorteilhaft erhöht.

## Bezugszeichenliste

- 1 von ersten Leiterbahnen freigelassene Bereiche
- 1' umschlossene, von ersten Leiterbahnen freigelassene Be-  
5 reiche
- 9 Substrat
- 10 erste Metallebene
- 11 zweite Metallebene
- 12 dritte Metallebene
- 10 13 vierte Metallebene
- 20 erste Leiterbahnen (Gesamtheit)
- 21 kritische Leiterbahnen in erster Metallebene
- 22 kritische Leiterbahnen in zweiter Metallebene
- 23 kritische Leiterbahnen in dritter Metallebene
- 15 30 dem Schutz dienende zweite Leiterbahnen (Gesamtheit)
- 31 mäanderförmige Leiterbahnen der vierten Metallebene
- 32 mäanderförmige Leiterbahnen der dritten Metallebene
- 33 zu 23 parallel verlaufende Leiterbahn
- 34 anschlußfreie Leiterbahn
- 20 T1 - T4 Transistoren
- G1 - G3 Gateelektroden
- S1 - S3 Sourcebereiche
- D1 - D3 Drainbereiche

## Patentansprüche

1. Integrierte Schaltungsanordnung mit einem Substrat (9),  
das Schaltungselemente aufweist, und wenigstens einer Ver-  
drahtungsebene (10-13) mit ersten Leiterbahnen (20),  
dadurch gekennzeichnet,  
daß in der Verdrahtungsebene von den ersten Leiterbahnen (20)  
freigelassene Bereiche (1) durch zweite Leiterbahnen (30) zum  
Schutz der integrierten Schaltungsanordnung aufgefüllt sind.
2. Integrierte Schaltungsanordnung nach Anspruch 1,  
dadurch gekennzeichnet,  
daß an den zweiten Leiterbahnen (30) eine Ansteuerungs- und  
eine Auswerteschaltung zur Detektion einer Unterbrechung, ei-  
nes Kurzschlusses einer der zweiten Leiterbahnen (31-33) mit  
einer weiteren Leiterbahn, oder einer Umleitung der zweiten  
Leiterbahnen (31-33) angeschlossen sind.
3. Integrierte Schaltungsanordnung nach Anspruch 1 oder 2,  
dadurch gekennzeichnet,  
daß sich zumindest eine der zweiten Leiterbahnen (30) der in-  
tegrierten Schaltungsanordnung über wenigstens 2 Verdrahtungsebenen (10-13) erstreckt.
4. Integrierte Schaltungsanordnung nach Anspruch 3,  
dadurch gekennzeichnet,  
daß direkt unter oder über einer der ersten Leiterbahnen (23)  
der integrierten Schaltung eine der zweiten Leiterbahnen (33)  
verläuft.
5. Integrierte Schaltungsanordnung nach einem der Ansprüche 2  
bis 4,  
dadurch gekennzeichnet,  
daß die zweiten Leiterbahnen (30) aktiven Leitungen zugeord-  
net sind.

6. Verfahren zur Herstellung einer integrierten Schaltungsanordnung nach einem der Ansprüche 1 bis 5 mit einem Substrat (9), das Schaltungselemente aufweist, und mindestens einer Verdrahtungsebene (10-13) mit ersten Leiterbahnen (20), bei dem der Erstellung eines Verdrahtungsplans für die integrierte Schaltung von ersten Leiterbahnen (20) freigelassene Bereiche (1) der Verdrahtungsebene (10-13) mit zweiten Leiterbahnen (30) zum Schutz der integrierten Schaltung im Verdrahtungsplan aufgefüllt werden.
7. Verfahren nach Anspruch 6, bei dem nach dem Auffüllen der freigelassenen Bereiche (1) einer ersten Verdrahtungsebene (10-13) mit zweiten Leiterbahnen (30) zum Schutz der integrierten Schaltung
- die von ersten Leiterbahnen (20) freigelassenen Bereiche (1) einer zweiten Verdrahtungsebene (10-13) mit zweiten Leiterbahnen (30) zum Schutz der integrierten Schaltung aufgefüllt werden, und
  - in den sich überlappenden Zonen der beiden Bereiche (1) Verbindungen zwischen den Leiterbahnen (30) beider Verdrahtungsebenen (10-13) geschaffen werden.
8. Verfahren nach Anspruch 7, bei dem die Ausrichtung zweier übereinander angeordneter Leiterbahnen (31, 32) der Schaltungsanordnung in den Überlappungszonen senkrecht zueinander ausgeführt wird.
9. Verfahren nach Anspruch 6, 7 oder 8, bei dem für die zweiten Leiterbahnen (30) im Substrat (9) und in den Verdrahtungsebenen (10-13) Ansteuerungs- und Auswerteschaltungen (T4) zur Detektion einer Unterbrechung oder des Kurzschlusses einer der zweiten Leiterbahnen (31-33) mit einer weiteren Leiterbahn vorgesehen werden.
10. Verfahren nach einem der Ansprüche 6 bis 9, bei dem die Erstellung des Verdrahtungsplans der integrierten Schaltung auf einem Syntheseverfahren beruht.

1/2

FIG 1a

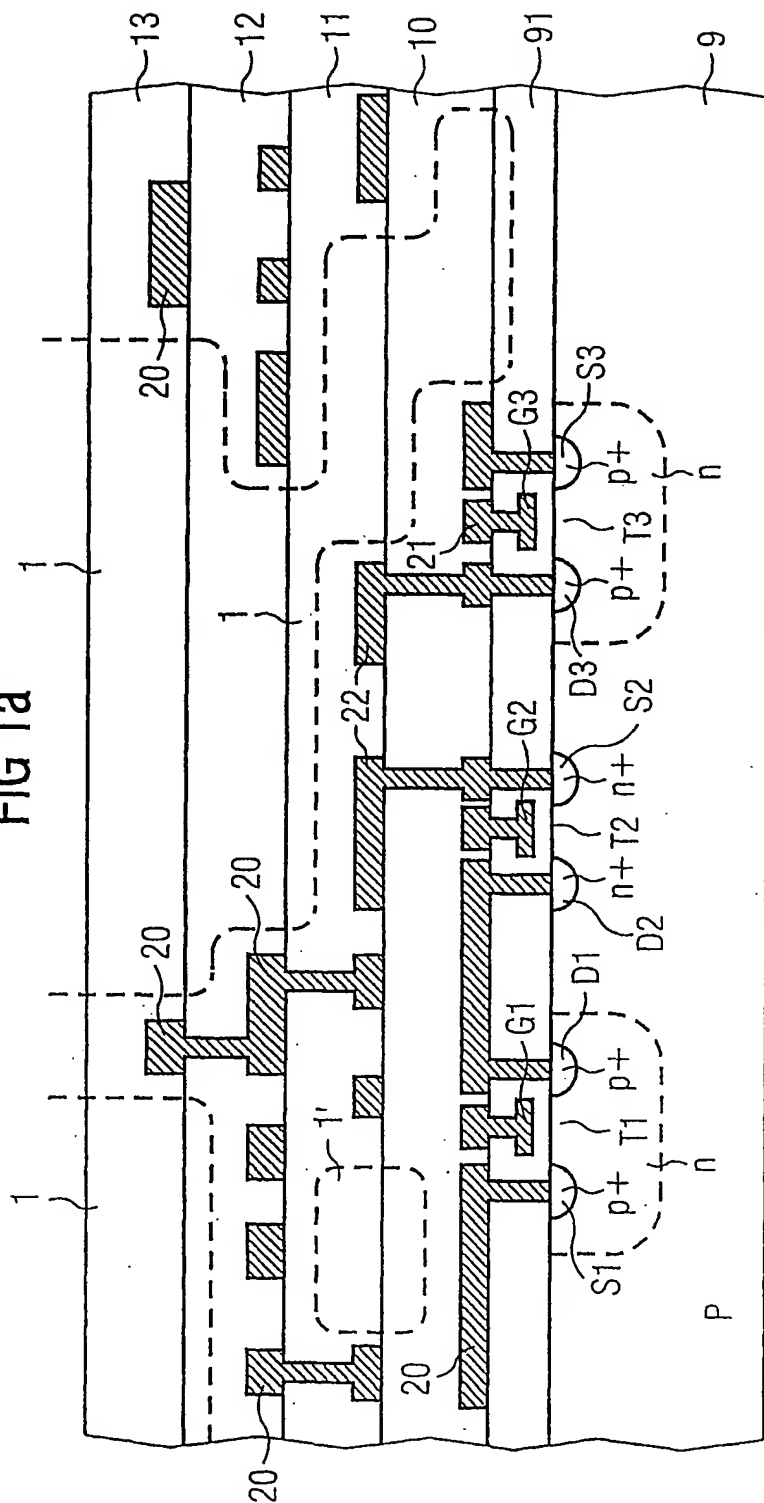
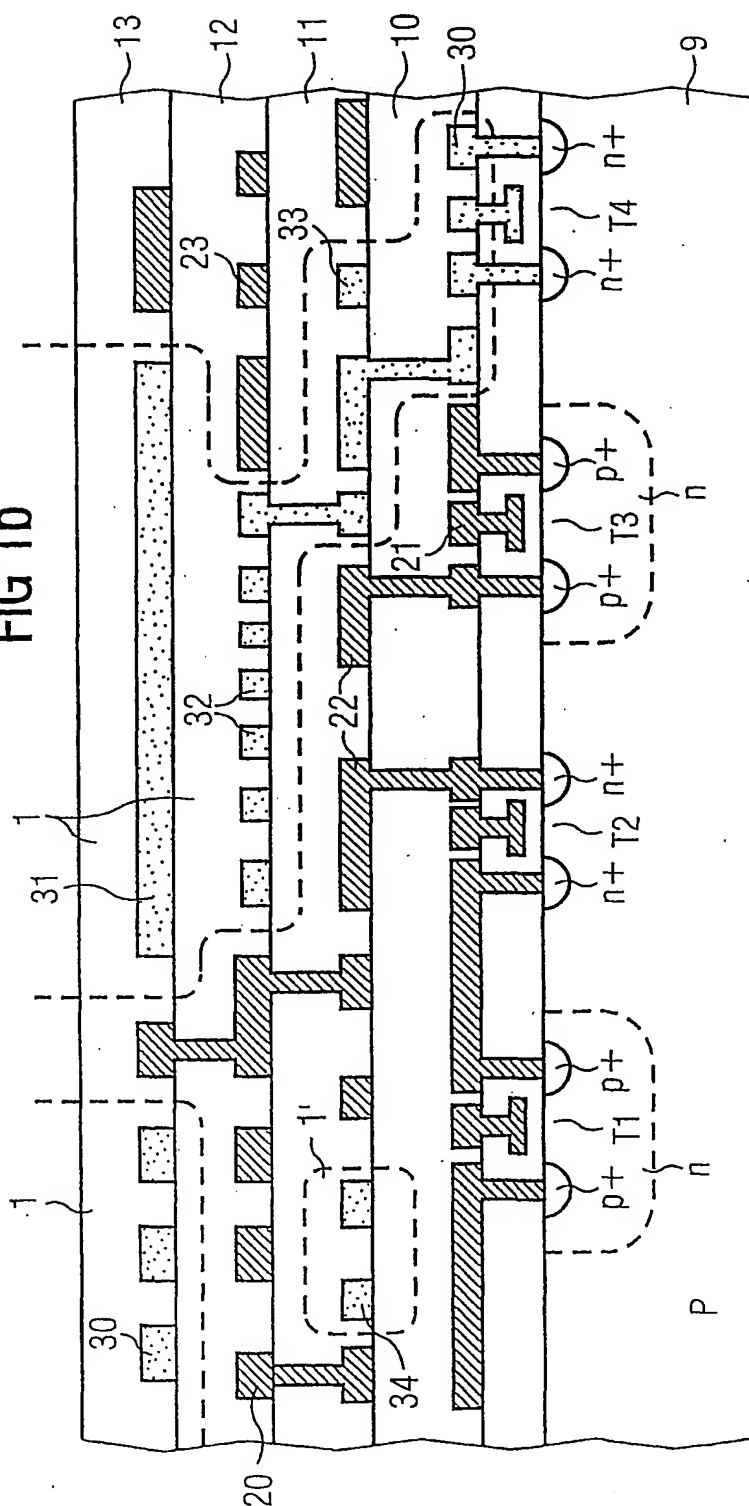


FIG 1b





## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/04198

A. CLASSIFICATION OF SUBJECT MATTER  
 IPC 7 H01L23/58 H01L27/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 378 306 A (GEN INSTRUMENT CORP) 18 July 1990 (1990-07-18)	1-9
A	column 6, line 43 -column 7, line 8 column 8, line 26 -column 8, line 55; figures 6,7	10
X	EP 0 764 985 A (HUGHES AIRCRAFT CO) 26 March 1997 (1997-03-26)	1,3-8,10
A	column 8, line 58 -column 9, line 21; figure 3B	2,9
X	US 5 345 105 A (SUN SHIH-WEI ET AL) 6 September 1994 (1994-09-06)	1,3,4, 6-8
	column 5, line 1 -column 5, line 17; figure 9	
	---	
	--- --/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*G\* document member of the same patent family

Date of the actual completion of the international search

15 April 2002

Date of mailing of the international search report

25/04/2002

Name and mailing address of the ISA  
 European Patent Office, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
 Fax: (+31-70) 340-3016

Authorized officer

Cousins, D

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/04198

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with Indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 861 652 A (COLE RICHARD K ET AL) 19 January 1999 (1999-01-19) column 3, line 50 -column 4, line 56; figures 3,4 ---	1,2,6,9
X	WO 99 16131 A (RAMM PETER ;BUCHNER REINHOLD (DE); FRAUNHOFER GES FORSCHUNG (DE)) 1 April 1999 (1999-04-01) page 8, line 8 -page 8, line 22; figure 4 ---	1,3,4, 6-8
X	US 4 434 361 A (MEINGUSS ALAIN ET AL) 28 February 1984 (1984-02-28) column 1, line 67 -column 3, line 9; figures 1-4 ---	1,6 2,9
Y	WO 00 28399 A (EISELE MARTIN ;SMOLA MICHAEL (DE); OTTERSTEDT JAN (DE); RICHTER MI) 18 May 2000 (2000-05-18) claim 1; figures 1-3 ---	2,9
X	US 6 137 318 A (TAKA AKI KODAMA) 24 October 2000 (2000-10-24) column 14, line 47 -column 15, line 39; figures 5A,5B ---	1,6
X	US 6 014 052 A (COUPE II JOHN R) 11 January 2000 (2000-01-11) column 1, line 29-64; figure 3 ---	1,6
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 01, 29 January 1999 (1999-01-29) -& JP 10 270562 A (NIPPON TELEGR &AMP;TELEPH CORP &LT;NTT&GT;), 9 October 1998 (1998-10-09) abstract; figures 1,2 ---	1,6
X	US 5 998 858 A (HASS STEVEN N ET AL) 7 December 1999 (1999-12-07) column 5, line 50 -column 6, line 34 column 6, line 64 -column 7, line 11; figures 2,3 ---	1,6
X	EP 0 948 052 A (PHILIPS PATENTVERWALTUNG ;KONINKL PHILIPS ELECTRONICS NV (NL)) 6 October 1999 (1999-10-06) column 5, line 50 -column 7, line 31; figure 2 -----	1,6

## INTERNATIONAL SEARCH REPORT

In International Application No

PCT/DE 01/04198

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0378306	A	18-07-1990	US 4933898 A	12-06-1990
			AU 617026 B2	14-11-1991
			AU 4766990 A	19-07-1990
			CA 2007469 A1	12-07-1990
			DE 69033241 D1	16-09-1999
			DE 69033241 T2	03-02-2000
			DK 378306 T3	13-03-2000
			EP 0378306 A2	18-07-1990
			EP 0920057 A2	02-06-1999
			ES 2134188 T3	01-10-1999
			IE 62793 B	08-03-1995
			JP 2057246 C	23-05-1996
			JP 2232960 A	14-09-1990
			JP 7087237 B	20-09-1995
			KR 180521 B1	15-04-1999
			NO 303808 B1	31-08-1998
			NO 975981 A	19-12-1997
EP 0764985	A	26-03-1997	US 5783846 A	21-07-1998
			EP 0764985 A2	26-03-1997
			JP 3172672 B2	04-06-2001
			JP 9092727 A	04-04-1997
			US 5930663 A	27-07-1999
			US 6064110 A	16-05-2000
US 5345105	A	06-09-1994	US 5262353 A	16-11-1993
US 5861652	A	19-01-1999	AU 2301997 A	17-10-1997
			DE 69706043 D1	13-09-2001
			DE 69706043 T2	06-12-2001
			EP 0892988 A1	27-01-1999
			WO 9736326 A1	02-10-1997
WO 9916131	A	01-04-1999	DE 19746641 A1	01-04-1999
			WO 9916131 A1	01-04-1999
			EP 1016140 A1	05-07-2000
			JP 2001517874 T	09-10-2001
			US 6284627 B1	04-09-2001
US 4434361	A	28-02-1984	FR 2471051 A1	12-06-1981
			DE 3044983 A1	03-09-1981
WO 0028399	A	18-05-2000	CN 1292110 T	18-04-2001
			WO 0028399 A1	18-05-2000
			EP 1053518 A1	22-11-2000
			BR 9906744 A	17-10-2000
US 6137318	A	24-10-2000	NONE	
US 6014052	A	11-01-2000	NONE	
JP 10270562	A	09-10-1998	NONE	
US 5998858	A	07-12-1999	AU 6502896 A	18-02-1997
			AU 6761996 A	18-02-1997
			AU 6762196 A	18-02-1997
			AU 6762296 A	18-02-1997
			EP 0852032 A1	08-07-1998

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/04198

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5998858	A	EP 0850440 A1	01-07-1998
		EP 0839344 A1	06-05-1998
		WO 9704395 A1	06-02-1997
		WO 9704376 A1	06-02-1997
		WO 9704377 A1	06-02-1997
		WO 9704378 A1	06-02-1997
		US 6219789 B1	17-04-2001
		US 5832207 A	03-11-1998
		US 5850450 A	15-12-1998
		US 2001011353 A1	02-08-2001
EP 0948052	A	06-10-1999	DE 19810730 A1
			EP 0948052 A2
			JP 11330260 A
			US 6334206 B1

## INTERNATIONALER RECHERCHENBERICHT

In ☐ nationales Aktenzeichen

PCT/DE 01/04198

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L23/58 H01L27/02

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, WPI Data

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 378 306 A (GEN INSTRUMENT CORP) 18. Juli 1990 (1990-07-18)	1-9
A	Spalte 6, Zeile 43 - Spalte 7, Zeile 8 Spalte 8, Zeile 26 - Spalte 8, Zeile 55; Abbildungen 6,7	10
X	EP 0 764 985 A (HUGHES AIRCRAFT CO) 26. März 1997 (1997-03-26)	1,3-8,10
A	Spalte 8, Zeile 58 - Spalte 9, Zeile 21; Abbildung 3B	2,9
X	US 5 345 105 A (SUN SHIH-WEI ET AL) 6. September 1994 (1994-09-06)	1,3,4, 6-8
	Spalte 5, Zeile 1 - Spalte 5, Zeile 17; Abbildung 9	
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. April 2002

Absendedatum des internationalen Recherchenberichts

25/04/2002

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Cousins, D

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 861 652 A (COLE RICHARD K ET AL) 19. Januar 1999 (1999-01-19) Spalte 3, Zeile 50 -Spalte 4, Zeile 56; Abbildungen 3,4 ---	1,2,6,9
X	WO 99 16131 A (RAMM PETER ;BUCHNER REINHOLD (DE); FRAUNHOFER GES FORSCHUNG (DE)) 1. April 1999 (1999-04-01) Seite 8, Zeile 8 -Seite 8, Zeile 22; Abbildung 4 ---	1,3,4, 6-8
X	US 4 434 361 A (MEINGUSS ALAIN ET AL) 28. Februar 1984 (1984-02-28) ---	1,6
Y	Spalte 1, Zeile 67 -Spalte 3, Zeile 9; Abbildungen 1-4 ---	2,9
Y	WO 00 28399 A (EISELE MARTIN ;SMOLA MICHAEL (DE); OTTERSTEDT JAN (DE); RICHTER MI) 18. Mai 2000 (2000-05-18) Anspruch 1; Abbildungen 1-3 ---	2,9
X	US 6 137 318 A (TAKAAKI KODAMA) 24. Oktober 2000 (2000-10-24) Spalte 14, Zeile 47 -Spalte 15, Zeile 39; Abbildungen 5A,5B ---	1,6
X	US 6 014 052 A (COUPE II JOHN R) 11. Januar 2000 (2000-01-11) Spalte 1, Zeile 29-64; Abbildung 3 ---	1,6
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 01, 29. Januar 1999 (1999-01-29) -& JP 10 270562 A (NIPPON TELEGR &AMP;TELEPH CORP &LT;NTT&GT;), 9. Oktober 1998 (1998-10-09) Zusammenfassung; Abbildungen 1,2 ---	1,6
X	US 5 998 858 A (HASS STEVEN N ET AL) 7. Dezember 1999 (1999-12-07) Spalte 5, Zeile 50 -Spalte 6, Zeile 34 Spalte 6, Zeile 64 -Spalte 7, Zeile 11; Abbildungen 2,3 ---	1,6
X	EP 0 948 052 A (PHILIPS PATENTVERWALTUNG ;KONINKL PHILIPS ELECTRONICS NV (NL)) 6. Oktober 1999 (1999-10-06) Spalte 5, Zeile 50 -Spalte 7, Zeile 31; Abbildung 2 -----	1,6

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 01/04198

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0378306 A	18-07-1990	US 4933898 A	12-06-1990
		AU 617026 B2	14-11-1991
		AU 4766990 A	19-07-1990
		CA 2007469 A1	12-07-1990
		DE 69033241 D1	16-09-1999
		DE 69033241 T2	03-02-2000
		DK 378306 T3	13-03-2000
		EP 0378306 A2	18-07-1990
		EP 0920057 A2	02-06-1999
		ES 2134188 T3	01-10-1999
		IE 62793 B	08-03-1995
		JP 2057246 C	23-05-1996
		JP 2232960 A	14-09-1990
		JP 7087237 B	20-09-1995
		KR 180521 B1	15-04-1999
		NO 303808 B1	31-08-1998
		NO 975981 A	19-12-1997
EP 0764985 A	26-03-1997	US 5783846 A	21-07-1998
		EP 0764985 A2	26-03-1997
		JP 3172672 B2	04-06-2001
		JP 9092727 A	04-04-1997
		US 5930663 A	27-07-1999
		US 6064110 A	16-05-2000
US 5345105 A	06-09-1994	US 5262353 A	16-11-1993
US 5861652 A	19-01-1999	AU 2301997 A	17-10-1997
		DE 69706043 D1	13-09-2001
		DE 69706043 T2	06-12-2001
		EP 0892988 A1	27-01-1999
		WO 9736326 A1	02-10-1997
WO 9916131 A	01-04-1999	DE 19746641 A1	01-04-1999
		WO 9916131 A1	01-04-1999
		EP 1016140 A1	05-07-2000
		JP 2001517874 T	09-10-2001
		US 6284627 B1	04-09-2001
US 4434361 A	28-02-1984	FR 2471051 A1	12-06-1981
		DE 3044983 A1	03-09-1981
WO 0028399 A	18-05-2000	CN 1292110 T	18-04-2001
		WO 0028399 A1	18-05-2000
		EP 1053518 A1	22-11-2000
		BR 9906744 A	17-10-2000
US 6137318 A	24-10-2000	KEINE	
US 6014052 A	11-01-2000	KEINE	
JP 10270562 A	09-10-1998	KEINE	
US 5998858 A	07-12-1999	AU 6502896 A	18-02-1997
		AU 6761996 A	18-02-1997
		AU 6762196 A	18-02-1997
		AU 6762296 A	18-02-1997
		EP 0852032 A1	08-07-1998

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 01/04198

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5998858	A	EP 0850440 A1	01-07-1998
		EP 0839344 A1	06-05-1998
		WO 9704395 A1	06-02-1997
		WO 9704376 A1	06-02-1997
		WO 9704377 A1	06-02-1997
		WO 9704378 A1	06-02-1997
		US 6219789 B1	17-04-2001
		US 5832207 A	03-11-1998
		US 5850450 A	15-12-1998
		US 2001011353 A1	02-08-2001
EP 0948052	A	06-10-1999	
		DE 19810730 A1	16-09-1999
		EP 0948052 A2	06-10-1999
		JP 11330260 A	30-11-1999
		US 6334206 B1	25-12-2001